

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0081254  
Application Number

출원년월일 : 2002년 12월 18일  
Date of Application DEC 18, 2002

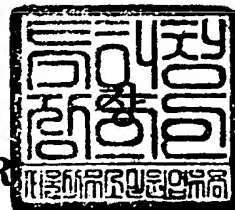
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      04      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.12.18
【발명의 명칭】	플래시 메모리 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing a flash memory device
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	동 차 덕
【성명의 영문표기】	DONG, Cha Deok
【주민등록번호】	720328-1168041
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】	KR
【발명자】	
【성명의 국문표기】	한 일 근
【성명의 영문표기】	HAN, Il Keoun
【주민등록번호】	600905-1121416
【우편번호】	467-110
【주소】	경기도 이천시 증포동 선경아파트 204-1002
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

**【수수료】**

【기본출원료】 18 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 플래시 메모리 소자의 제조 방법에 관한 것으로,  $O_2$ 와 TCA의 혼합 가스를 이용한 측벽 산화공정을 실시하여 플로팅 게이트의 고립을 보강하고, 유전체막 내에 포함된 산화막 측벽의 두께가 두꺼워지는 현상과, 터널 산화막 측벽의 두께가 두꺼워지는 현상을 방지할 수 있는 플래시 메모리 소자의 제조 방법을 제공한다.

**【대표도】**

도 1b

**【색인어】**

플래시 메모리 소자, 측벽 산화막, 건식 산화

## 【명세서】

## 【발명의 명칭】

플래시 메모리 소자의 제조 방법{Method of manufacturing a flash memory device}

## 【도면의 간단한 설명】

도 1a 내지 도 1b는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도이다.

도 2a 및 도 2b는 종래의  $O_2$  가스만을 이용하여 게이트 전극 측벽에 측벽 산화막을 형성한 SEM(Scanning Electron Microscope) 사진들이고, 도 3a 및 도 3b는 본 발명의  $O_2$ 와 TCA의 혼합가스를 이용한 게이트 전극 측벽에 측벽산화막을 형성한 SEM 사진들이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

10 : 반도체 기판      12 : 터널 산화막

14, 16, 26 : 폴리 실리콘      18 : 플로팅 게이트

20, 22 : 산화막      21 : 질화막

24 : 유전체막      28 : 텅스텐 실리사이드

30 : 컨트롤 게이트      32 : 하드 마스크막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 플래시 메모리 셀의 게이트 전극의 측벽에 이를 보호하기 위한 측벽 산화막 형성 방법에 관한 것이다.

<10> 일반적으로 플래시 메모리 소자를 구현함에 있어서 게이트전극을 형성한 다음에 플로팅 게이트의 고립과 게이트 식각시에 얻은 식각 데미지를 보상하기 위해 게이트 측벽에  $O_2$ 를 이용한 건식 산화를 실시하게 된다. 이때, 측벽 산화에 의해 형성되는 측벽 산화막은 두껍게 형성하는 것이 측벽 보강과 식각 데미지 보상 측면에서 유리하다. 하지만 두꺼운 측벽 산화막을 형성하기 위해 산화공정을 오랜 시간 진행하게 되고, 이로써, 플래시 소자의 유전체막으로 널리 사용되는 제 1 산화막 /질화막 /제 2 산화막(Oxide/ Nitride/ Oxide; ONO)구조의 유전체막 중 제 1 및 제 2 산화막과 터널 산화막의 측벽 부근의 두께가 증가하는 스마일링 현상이 나타나 소자의 특성 저하의 원인이 된다.

**【발명이 이루고자 하는 기술적 과제】**

<11> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 측벽 산화 방식을  $O_2$ 와 TCA(Tri-Chloro-Ethane,  $C_2H_2Cl_3$ )의 적정 혼합비를 이용한 건식 산화를 실시하여 스마일링 현상을 억제할 수 있는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

<12> 본 발명에 따른 터널 산화막, 플로팅 게이트, 유전체막 및 컨트롤 게이트를 포함하는 게이트 전극이 형성된 반도체 기판이 제공되는 단계 및 상기 게이트 전극을 형성하기 위한 식각공정으로 인한 손상을 보상하고 상기 플로팅 게이트의 고립을 보강하기 위하여  $O_2$ 와  $C_2H_2Cl_3$  혼합 가스를 이용한 건식 산화 공정을 실시하여 상기 게이트 전극 측벽에 측벽 산화막을 형성하는 단계를 포함 하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법을 제공한다.

<13> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<14> 도 1a 내지 도 1b는 본 발명에 따른 반도체 소자의 제조 방법을 설명하기 위한 단면도이다.

<15> 도 1a를 참조하면, 반도체 기판(10) 상에 기판 표면의 결정결함 억제 또는 표면처리 및 이온주입시 버퍼층 역할을 하는 스크린 산화막(미도시)을 증착한 다음 이온주입을 실시하여 웰을 형성한다.

<16>      상기 스크린 산화막을 제거한 다음 터널 산화막(12), 제 1 폴리 실리콘막(14) 및 패드 질화막(미도시)을 증착한다. 상기 패드 질화막, 제 1 폴리 실리콘막(14), 터널 산화막(12) 및 반도체 기판(10)을 ISO(Isolation) 마스크 패터닝(ISO mask patterning)을 통해 순차적으로 식각하여 STI(Shallow Trench Isolation)구조의 트렌치(trench; 미도시)를 형성하여 활성 영역과 필드 영역을 정의한다.

<17>      제 1 폴리 실리콘막(14)은 480 내지 550℃의 온도와 0.1 내지 3.0torr의 압력 하에서 화학 기상 증착법(Chemical Vapor Deposition; CVD), 저압 화학 기상 증착법(Low Pressure CVD; LPCVD), 플라즈마 인핸스드 화학 기상 증착법(Plasma Enhanced CVD; PECVD) 또는 대기압 화학 기상 증착법(Atmospheric Pressure CVD; APCVD) 방식을 이용하여 250 내지 500Å의 두께의 산화 저항성이 낮은 도핑되지 않은 비정질 실리콘 막을 증착하여 형성한다.

<18>      STI 구조의 상기 트렌치 측벽의 식각 데미지(Damage)를 보상하기 위한 건식산화 또는 습식산화공정을 실시하여 상기 트렌치의 코너부분을 라운딩한다. 전체 구조 상부에 고온 산화막(High Temperature Oxide; HTO)을 얇게 증착하고 고온에서 치밀화 공정을 수행하여 라이너 산화(liner oxide)막(미도시)을 형성한다. 물론 상술한 라이너 산화막 증착 공정을 생략하여 공정을 단순화 할 수 있다. 전체 구조 상부에 고밀도 플라즈마(High Density Plasma; HDP) 산화막(미도시)을 증착하여 상기 트렌치 내부를 매립한다. 상기 패드 질화막을 정지층으로 하는 평탄화 공정을 실시하여 상기 패드 질화막 상의 상기 HDP 산화막(20) 및 상기 라이너 산화막을 제거한다. 이로써 소자간의 고립을 위한 소자 분리막을 형성한다.



- <19> 인산( $\text{H}_3\text{PO}_4$ )을 이용한 질화막 스트립(nitride strip) 공정을 수행하여 상기 패드 질화막을 식각한다. DHF를 이용한 전처리 세정 공정을 실시하여 제 1 폴리 실리콘막(14) 상부에 형성된 자연산화막과 잔류물들을 제거한다. 전체 구조 상부에 제 2 폴리 실리콘막(16)을 증착한 다음, 패터닝 공정을 실시하여 터널 산화막(12), 제 1 및 제 2 폴리 실리콘막(14 및 16)으로 구성된 플로팅 게이트(18)를 형성한다.
- <20> 제 2 폴리 실리콘막(16)은 480 내지 550℃의 온도와 0.1 내지 3.0torr의 압력 하에서 CVD, LP-CVD, PE-CVD 또는 AP-CVD 방식으로  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  와  $\text{PH}_3$  가스를 이용하여 1000 내지 3000Å의 두께로 P 농도가  $5.0\text{E}19$  내지  $1.5\text{E}20\text{atoms/cc}$  정도 도핑된 비정질 실리콘막을 증착하여 형성한다.
- <21> 전체 구조 상부에 그 단차를 따라 유전체막(24)을 형성하되, ONO(제 1 산화막(20)-질화막(21)-제 2 산화막(22);  $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ )구조의 유전체막(24)을 형성한다. 컨트롤 게이트를 형성하기 위한 물질막인 제 3 폴리 실리콘막(26)과 텅스텐 실리사이드막( $\text{WSi}_x$ ; 28)을 순차적으로 증착한다. 텅스텐 실리사이드막(28)상에 하드 마스크막(32)을 형성한 다음 패터닝 공정을 실시하여 하드마스크 패턴을 형성한다. 하드 마스크 패턴을 식각마스크로 하는 자기 정렬 식각을 실시하여 텅스텐 실리사이드막(28), 제 3 폴리 실리콘막(26) 및 유전체막(24)을 제거하여 제 3 폴리 실리콘막(26)과 텅스텐 실리사이드(28)로 구성된 컨트롤 게이트(30)를 형성한다.
- <22> 또는, 소자 분리막(미도시)이 형성된 반도체 기판(10) 상에 터널 산화막(12) 및 플로팅 게이트용 제 1 및 제 2 폴리실리콘(14 및 16)을 순차적으로 증착하고 패터닝 공정

을 실시하여 제 2 폴리 실리콘(16), 제 1 폴리 실리콘(14) 및 터널 산화막(12)을 식각하여 플로팅 게이트(18)를 형성한다.

<23> 전체 구조 상부에 ONO 구조의 유전체막(24), 제 3 폴리 실리콘(26), 금속막(텅스텐 실리콘사이드막; 28) 및 하드 마스크막(32)을 순차적으로 형성한다. 패터닝 공정을 실시하여 하드 마스크막(32), 금속막(28), 제 3 폴리 실리콘막(26) 및 유전체막(24)을 식각하여 컨트롤 게이트(30)를 포함하는 플래시 메모리 셀을 형성한다.

<24> 이에 한정되지 않고 다양한 형태의 플래시 메모리 소자의 제조 공정을 통해 터널 산화막, 플로팅 게이트, 유전체막 및 컨트롤 게이트를 포함하는 플래시 메모리 소자의 게이트 전극을 형성한다.

<25> 도 1b를 참조하면, 측벽 산화공정을 실시하여 플래시 메모리 소자의 게이트 전극측벽에 게이트 전극을 형성하기 위한 식각 공정의 데미지를 보상하고, 플로팅 게이트(18)의 고립을 위한 측벽 산화막(34)을 형성한다.

<26> 구체적으로, 측벽 산화공정 전에 터널 산화막(12)과 ONO 구조의 유전체막(24)을 이루고 있는 산화막(20 및 22)의 손실을 방지하기 위해  $\text{NH}_4\text{OH}$ ,  $\text{H}_2\text{O}_2$  및  $\text{H}_2\text{O}$ 로 구성된 SC-1(Standard Cleaning - 1)을 이용한 전처리 세정 공정을 실시한다.  $\text{O}_2$ 와 TCA 혼합 가스를 이용한 건식 산화방식을 진행하여 플래시 메모리 소자의 게이트 전극 측벽에 측벽 산화막(34)을 형성한다. 게이트 전극이 형성된 반도체 기판(10)을 600 내지 750℃의 온도에서 산화 공정을 위한 챔버 안으로 로딩한다. 챔버내의 온도를 750 내지 950℃까지 상승 시킨 다음 1 내지 10slm의  $\text{O}_2$  가스와 0.1 내지 1slm의 TCA( $\text{C}_2\text{H}_2\text{Cl}_3$ )가스를 챔버 내로 유입하여 반도체 기판(10) 기준으로 30 내지 100Å 두께의 측벽 산화막(34)이 형성되도록 산화를 실시한다. 챔버내의 온도를 하강시킨 다음 반도체 기판(10)을 챔버 밖으

로 언로딩 한다. 이는 TCA가스에 의한 빠른 반응 속도(빠른 산화막 형성)로 인해 측벽 산화가 원활히 이루어지는 반면 ONO와 터널 산화막 내부의 실리콘의 산화가 덜되기 때문에 동일한 두께의 측벽산화막(34)을 형성할 경우 종래의  $O_2$ 가스만을 사용한 측벽 산화보다 더 짧은 시간의 측벽 산화를 실시할 수 있다. 이로써, ONO 스마일링과 터널 산화막의 스마일링을 최소화 할 수 있다. 또한, 게이트 식각시 받은 식각 영향으로 날카로워진 플로팅 게이트 상부의 팁 부분의 산화를 원활하게 유도하여 측벽두께와 동일한 정도의 산화를 유발하여 소자의 전하보유 능력을 향상할 수 있다. TCA가스를 이용한 산화는 종래의  $O_2$ 가스만을 이용한 산화보다 산화속도가 10%정도 빨라진다.

<27> 도 2a 및 도 2b는 종래의  $O_2$  가스만을 이용하여 게이트 전극 측벽에 측벽 산화막을 형성한 SEM 사진들이고, 도 3a 및 도 3b는 본 발명의  $O_2$ 와 TCA의 혼합가스를 이용한 게이트 전극 측벽에 측벽산화막을 형성한 SEM 사진들이다.

<28> 도 2a, 도 2b, 도 3a 및 도 3b를 참조하면, 도 2a와 도 3a는 ONO 구조의 유전체막 영역에 형성된 측벽 산화막의 SEM 사진이고, 도 2b 및 도 3b는 터널 산화막 영역에 형성된 측벽 산화막의 SEM 사진이다. 도 2a 및 도 2b는 850℃ 온도에서  $O_2$  가스만을 이용하여 각각 30Å 과 50Å 두께의 타겟으로 측벽 산화를 실시한 SEM 사진이고, 도 3a 및 도 3b는 850℃ 온도에서  $O_2$  가스와 TCA 가스의 혼합 가스를 이용하여 각각 30Å 과 50Å 두께의 타겟으로 측벽 산화를 실시한 SEM 사진이다. 도 2a는 유전체막 측벽에 산화막은 충분한 두께로 형성되지 않고, 전체적인 측벽 산화막이 불안정함(균일한 두께로 형성되지 않음)을 볼 수 있다. 하지만 도 3a는 유전체막 측벽에 충분한 두께의 측벽 산화막이 형성되었고 전체적으로 균일한 두께의 측벽 산화막이 형성되었다. 또한 도 2b는 터널 산화막 측벽에 산화막이 충분하게 형성되지 않았을 뿐만 아니라 그 상부의 제 1 폴리 실리콘

막 측벽에도 충분한 두께의 측벽 산화막이 형성되지 않음을 볼 수 있다. 하지만 도 3b는 터널 산화막 측벽뿐만 아니라 그 상부의 제 1 폴리 실리콘막 측벽에도 충분한 두께의 측벽 산화막이 형성됨을 볼 수 있다.

#### 【발명의 효과】

- <29> 상술한 바와 같이, 본 발명은  $O_2$ 와 TCA의 혼합 가스를 이용한 측벽 산화공정을 실시하여 유전체막 내에 포함된 산화막 측벽의 두께가 두꺼워지는 현상을 방지할 수 있으며, 산화공정을 통해 유전체막 내에 포함된 산화막의 전체적인 두께가 두꺼워지는 현상을 방지하여 커플링 비 마진을 확보할 수 있다.
- <30> 또한,  $O_2$ 와 TCA의 혼합 가스를 이용한 측벽 산화공정을 실시하여 플로팅 게이트의 고립을 보강하고 터널 산화막 측벽의 두께가 두꺼워지는 현상을 억제하여 전체적인 소자의 동작 특성을 향상할 수 있다.

**【특허청구범위】****【청구항 1】**

(a) 터널 산화막, 플로팅 게이트, 유전체막 및 컨트롤 게이트를 포함하는 게이트 전극이 형성된 반도체 기판이 제공되는 단계; 및

(b) 상기 게이트 전극을 형성하기 위한 식각공정으로 인한 손상을 보상하고 상기 플로팅 게이트의 고립을 보강하기 위하여  $O_2$ 와  $C_2H_2Cl_3$  혼합 가스를 이용한 건식 산화 공정을 실시하여 상기 게이트 전극 측벽에 측벽 산화막을 형성하는 단계를 포함 하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 (b) 단계는

상기 반도체 기판을 증착 챔버 내로 로딩하는 단계;

상기 증착 챔버 내의 온도를 제 1 온도로 상승시키는 단계;

상기 제 1 온도에서 상기 증착 챔버 내에 1 내지 10slm의  $O_2$  가스와 0.1 내지 1slm의  $C_2H_2Cl_3$ 가스를 유입하여 상기 측벽 산화막을 형성하는 단계; 및

상기 반도체 기판을 증착 챔버 밖으로 언로딩 하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

**【청구항 3】**

제 2 항에 있어서,

상기 제 1 온도는 750 내지 950℃ 인 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 측벽 산화막은 30 내지 100Å 두께로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

【청구항 5】

제 1 항에 있어서, 상기 (a) 단계는,

상기 반도체 기판상에 상기 터널 산화막, 제 1 폴리 실리콘막 및 패드 질화막을 순차적으로 형성하는 단계;

패터닝 공정을 통해 상기 패드 질화막, 상기 제 1 폴리 실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계;

상기 트렌치를 포함한 전체구조 상부에 산화막을 증착한 후, 상기 패드 질화막이 노출되도록 상기 산화막을 평탄화하는 단계;

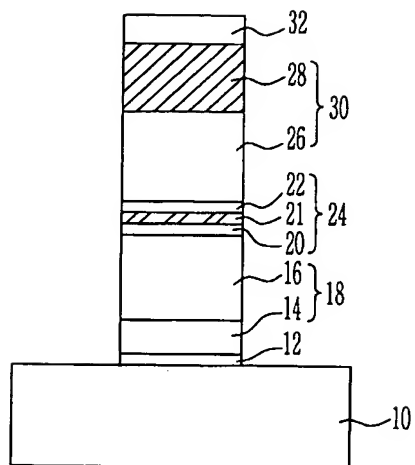
상기 패드 질화막을 식각한 다음, 전체구조 상부에 제 2 폴리 실리콘막을 증착하는 단계;

상기 제 2 폴리 실리콘막을 패터닝하여 상기 플로팅 게이트를 형성는 단계;

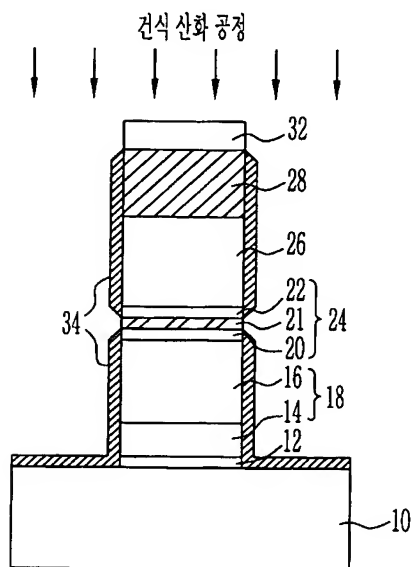
전체 구조 상부에 그 단차를 따라 상기 유전체막을 증착하는 단계; 및  
상기 유전체막 상부에 컨트롤 게이트용 물질막을 형성한 다음, 패터닝 공정을 실시하여 상기 컨트롤 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조 방법.

## 【도면】

【도 1a】

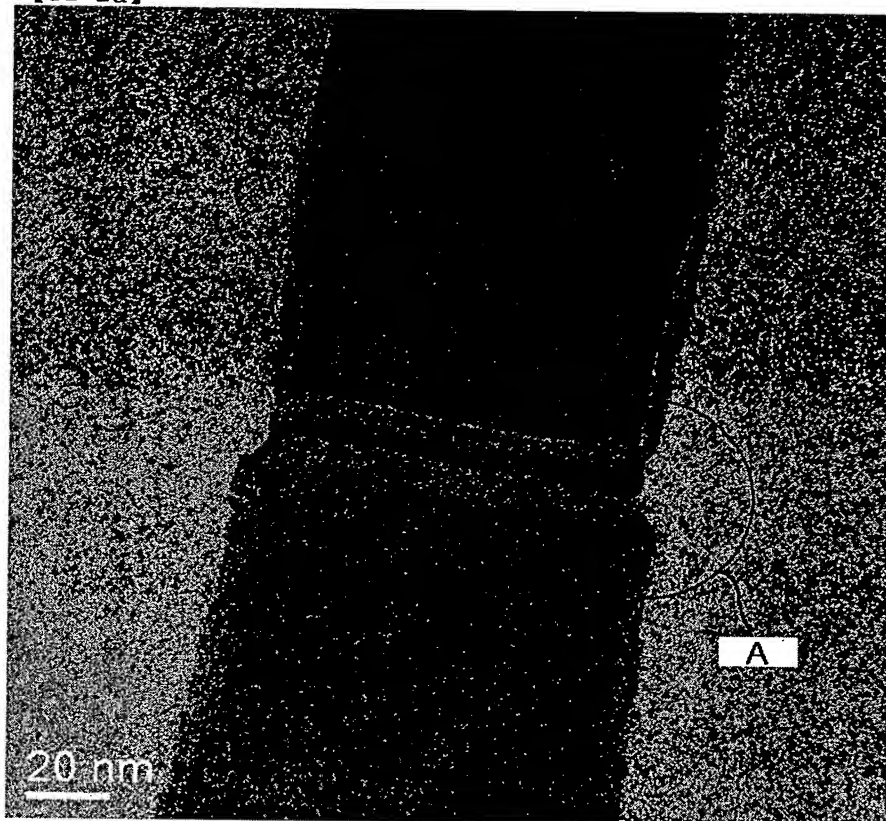


【도 1b】

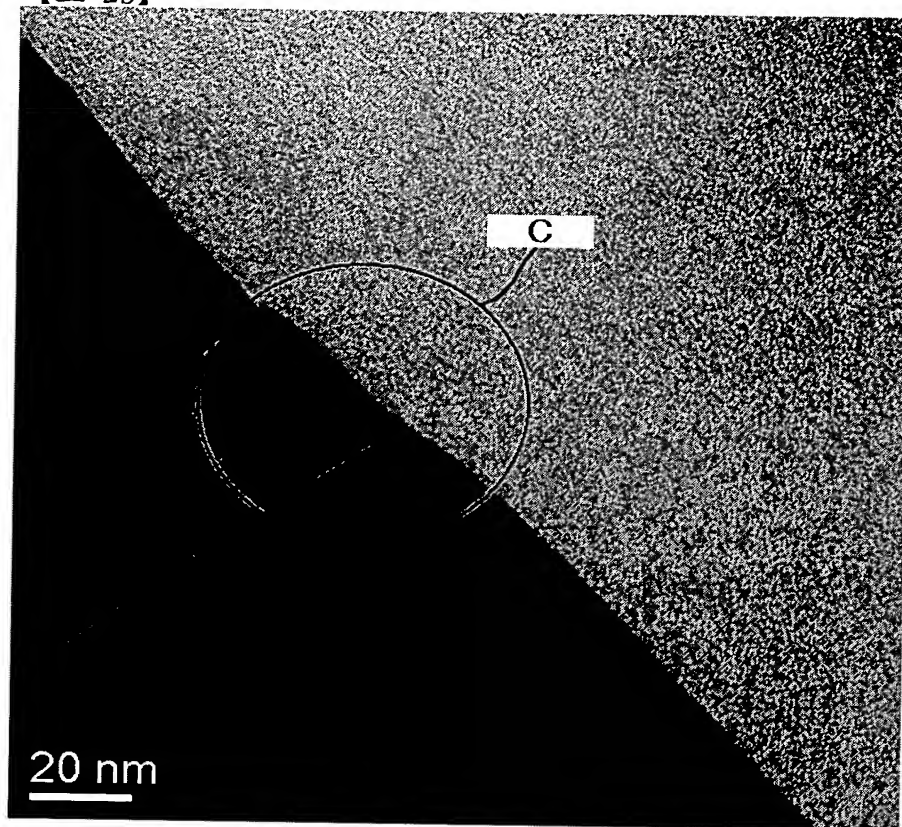




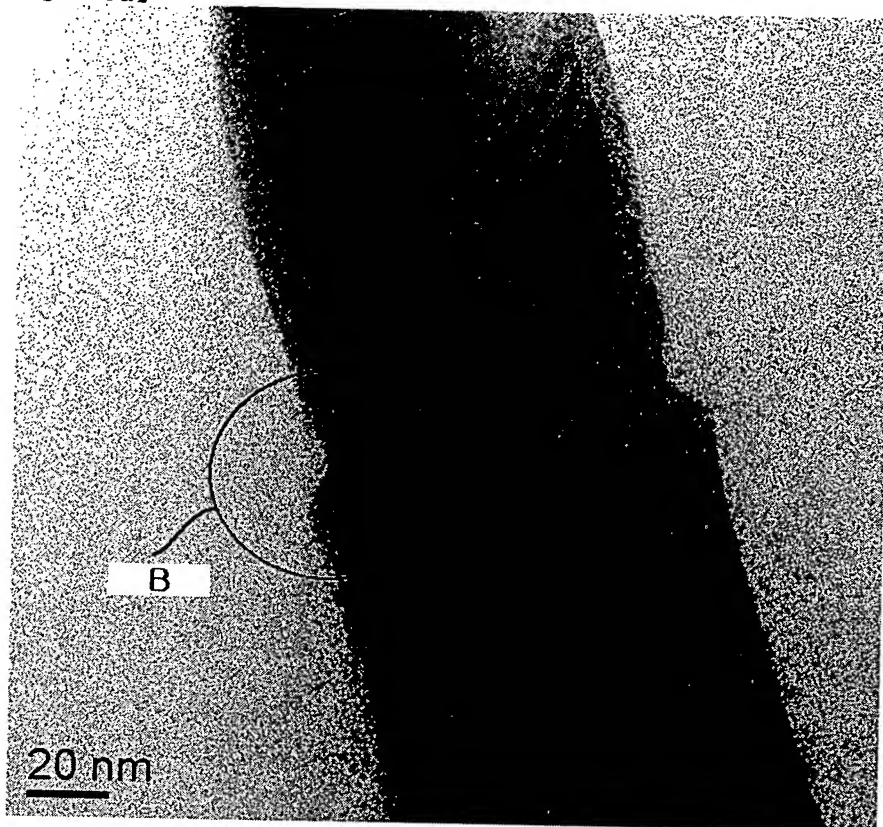
【도 2a】



【도 2b】



【도 3a】



【도 3b】

